

**Family list**

**4** family members for:

**JP2000029053**

Derived from 4 applications.

- 1 LIQUID CRYSTAL DISPLAY DEVICE AND IS MANUFACTURE**  
Publication info: **JP2000029053 A** - 2000-01-28
- 2 LIQUID CRYSTAL DISPLAY DEVICE AND FABRICATING METHOD OF THE SAME**  
Publication info: **KR2000011237 A** - 2000-02-25
- 3 No English title available**  
Publication info: **TW460741 B** - 2001-10-21
- 4 Method of manufacturing a liquid crystal display**  
Publication info: **US6291136 B1** - 2001-09-18


---

Data supplied from the *esp@cenet* database - Worldwide

# LIQUID CRYSTAL DISPLAY DEVICE AND IS MANUFACTURE

**Patent number:** JP2000029053  
**Publication date:** 2000-01-28  
**Inventor:** MASUTANI YUICHI; KOBAYASHI KAZUHIRO  
**Applicant:** MITSUBISHI ELECTRIC CORP  
**Classification:**  
- **International:** **G02F1/1343; G03F7/20; G02F1/13; G03F7/20; (IPC1-7): G02F1/1343**  
- **European:** G02F1/1343A8; G03F7/20B  
**Application number:** JP19980198261 19980714  
**Priority number(s):** JP19980198261 19980714

**Also published as:**

 US6291136 (B

**Report a data error he**

## Abstract of JP2000029053

**PROBLEM TO BE SOLVED:** To improve the precision of the width of an inter-digital electrode, especially at the boundary of divisional exposure and to improve the reliability of a lateral electric field system while reducing display unevenness at the border of the divisional exposure. **SOLUTION:** The liquid crystal display device has a counter electrode facing pixel electrodes and drives liquid crystal by applying an electric field between the pixel electrodes and counter electrode in parallel to a substrate surface, and a pixel part is exposed repeatedly from one mask for patterning. By this manufacturing method, the high-reliability liquid crystal display device is obtained that display unevenness is reduced at the border part of the divisional exposure.

---

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-29053

(P2000-29053A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.<sup>7</sup>

G 0 2 F 1/1343

識別記号

F I

G 0 2 F 1/1343

テーマコード<sup>\*</sup> (参考)

2 H 0 9 2

審査請求 未請求 請求項の数13 O L (全 10 頁)

(21) 出願番号 特願平10-198261

(22) 出願日 平成10年7月14日 (1998.7.14)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 升谷 雄一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 小林 和弘

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100065226

弁理士 朝日奈 宗太 (外1名)

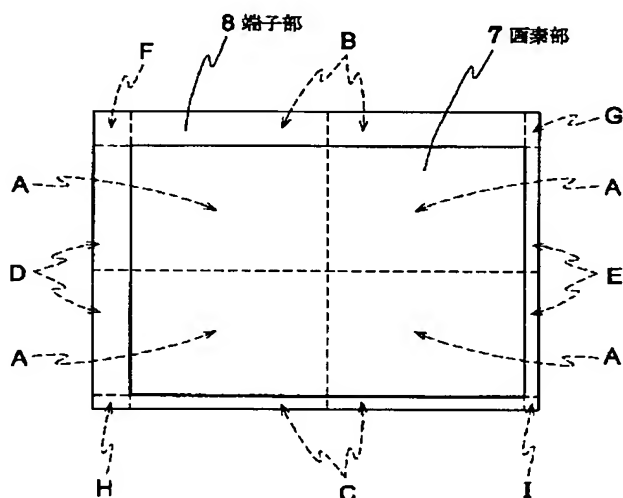
最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 櫛形電極の幅の精度を面内、特に分割露光の境界で上げて、横方向電界方式において、この分割露光の境界部の表示ムラを低減しながら信頼性の高い液晶表示装置およびその製造方法を提供する。

【解決手段】 本発明の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素部を露光する際に1枚のマスクから繰り返し露光してパターンニングする液晶表示装置の製造方法である。また、かかる製造方法により、分割露光の境界部分の表示ムラを低減した信頼性の高い液晶表示装置をうる。



【特許請求の範囲】

【請求項 1】 画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素部を露光する際に 1 枚のマスクから繰り返し露光してパターンニングする液晶表示装置の製造方法。

【請求項 2】 画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも 1 レイヤーの画素部を露光する際の 1 回の露光領域を他のレイヤーよりも小さくする請求項 1 記載の液晶表示装置の製造方法。

【請求項 3】 画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも 1 レイヤーの画素部を露光する際には 1 枚のマスクを繰り返し露光してパターンニングを行い、他のレイヤーは端子部を含めた 1 パネルを 2 つ以上に分割したマスクを用い露光しパターンニングする液晶表示装置の製造方法。

【請求項 4】 画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極の露光領域のつなぎ部分と、対向電極の露光領域のつなぎ部分とを異なる位置に形成する液晶表示装置の製造方法。

【請求項 5】 画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極または対向電極あるいはその両方を形成するレイヤーを 1 枚の大型レチクルを使用してミラープロジェクション方式により形成し、その他のレイヤーの内少なくとも 1 レイヤーをステッパー方式による分割露光により形成する液晶表示装置の製造方法。

【請求項 6】 画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも 1 レイヤーを形成する際のホトレジストを他のレイヤーを形成する場合よりも厚く形成する液晶表示装置の製造方法。

【請求項 7】 画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも 1 レイヤーを形成する際のホトレジスト材料に露光エネルギーの変動に対してホトレジスト線幅

の変動が小さいホトレジストを使用する液晶表示装置の製造方法。

【請求項 8】 画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも 1 レイヤーを形成する際のマスクに位相シフトマスクを用いる液晶表示装置の製造方法。

【請求項 9】 画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも 1 レイヤーを形成する際のマスクを面内寸法公差の小さなマスクを使用する液晶表示装置の製造方法。

【請求項 10】 前記面内寸法公差が $\pm 0.1 \mu\text{m}$ 以内である請求項 9 記載の液晶表示装置の製造方法。

【請求項 11】 上記マスクをクロムと酸化クロムをドライエッチングにより加工し形成する請求項 10 記載の液晶表示装置の製造方法。

【請求項 12】 画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置において、画素電極幅と対向電極幅の分割露光の境界間での寸法差を最大 $0.15 \mu\text{m}$ 以下とした液晶表示装置。

【請求項 13】 請求項 1～9 のいずれか 1 項記載の製造方法のうち、何れか 1 つ又は複数の方法を組み合わせ、画素電極幅と対向電極幅の分割露光の境界間での寸法差を最大 $0.15 \mu\text{m}$ 以下とした、画素電極に対向する対向電極を有しこれらの間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アクティブマトリックス型の液晶表示装置およびその製造方法に関するものである。

【0002】

【従来の技術】アクティブマトリックス型の液晶表示装置において、液晶に印加する電界の方向を基板に対して平行な方向とする方式（以下、「横方向電界方式」とする）が、主に広視野角を得る手法として用いられている（例えば、特開平 8-254712）。この方式を採用すると、視角方向を変化させた際のコントラストの変化、階調レベルの反転を小さくできることが明らかにされている（例えば、M. O h e e, 他, A s i a D i s p l a y ' 95, p p. 577-580）。

【0003】図 9 は、この方式を用いた従来のアクティブマトリックス型の液晶表示装置の構成要素である薄膜トランジスタ集積装置基板の一面素の構造を模式的に示したものである。走査線 1 によりスイッチングされる薄

膜トランジスタ4を介して信号線2から画素電極6に映像信号を供給し、対向電極5との間で基板に対して平行な方向の電界を形成し、液晶を駆動させる。対向電極5は共通配線3に接続されている。薄膜トランジスタ集積装置基板は、この画素をマトリクス状に配置した画素部7と回路からの信号を入力するための端子部8で構成される(図10)。この画素部7上に液晶をはさんで対向基板を貼り合わせ、端子部8に走査線、信号線に映像信号を送り込むための回路を取り付け、液晶表示装置を作製する。

【0004】次に、このアクティブマトリクス型の液晶表示装置の構成要素である薄膜トランジスタ集積装置基板の製造方法を図11の工程断面図にしたがって説明する。ガラス基板10上に走査線1と同時に、対向電極5及び共通配線3を形成する(図11(a))。この走査線1は薄膜トランジスタのゲート電極としても機能する。次に、ゲート絶縁膜11を全面に堆積した後、アモルファスシリコン12と不純物をドーブしたアモルファスシリコン13を形成する(図11(b))。信号線2及び画素電極6は薄膜トランジスタのソース・ドレイン領域14の形成と同時に形成する。この後、このソース・ドレイン領域をマスクとして不純物をドーブしたアモルファスシリコン13をドライエッチングなどにより除去する(図11(c))。最後に、保護膜9を窒化シリコン、酸化シリコン等の透明絶縁膜により全面に形成する(図11(d))。それぞれのレイヤーは成膜→写真製版→エッチングにより加工して形成する。写真製版工程は、ホトレジスト塗布→露光→現像を行い、ホトレジストを所望の形状に加工形成する方法である。露光はこの中でも中核をなす工程であり、アクティブマトリクス型の液晶表示装置の製造では、主にステッパ方式とミラープロジェクション方式の何れかが採用されている。ステッパ方式は液晶表示装置を2つ以上の領域に分割し、ステージを移動させながら各領域に対応したマスクに交換しながら露光を行う方法であり、ミラープロジェクション方式は、液晶表示装置を分割せずに1枚の大型マスクとガラス基板を一体で走査させ一括に露光する方法である。ステッパ方式では、画面内の全域において、各レイヤー間の重ね合わせ精度を高く形成できるため、薄膜トランジスタ特性や容量等が面内で均一になり、これらが面内で不均一になることにより生じる直流電圧成分を小さくでき、液晶材料が劣化しにくく信頼性の高い液晶表示装置を作製できる利点がある。一方、ミラープロジェクション方式では、一括で露光するためスループットを高くできる等の利点がある。図3にステッパ方式を用いた場合の従来の分割露光の方法を示す。図10で示した画素部7と端子部8をまとめていくつかの領域に分け(この図の場合は4つの領域に分けている)それぞれ異なるマスクを用いて分割して露光を行う。

#### 【0005】

【発明が解決しようとする課題】横方向電界方式の液晶表示装置をステッパ方式で作製した場合、先に述べたように信頼性の高い液晶表示装置を作製できる反面、分割露光を行った境界が表示ムラとして視認される問題がある。縦方向電界を用いたTN方式の液晶表示装置においても、各レイヤーの重ね合わせが大きくずれた部分で境界が表示ムラとなる場合があったが、横方向電界方式の場合は重ね合わせがずれていない場合も境界が表示ムラとして発生し、なおかつその境界はより視認されやすい。本発明は、櫛形電極の幅の精度を面内で(特に分割露光境界で)上げて、横方向電界方式において、この分割露光の境界部の表示ムラを低減しながら信頼性の高い液晶表示装置およびその製造方法を得ることを目的としている。

#### 【0006】

【課題を解決するための手段】図12は電極幅の変動量と輝度変化率の関係を実験により求めた結果である。この結果、横方向電界方式では電極幅の変化が輝度変化の原因となることが明らかとなった。図12より、例えば輝度変化率を3%以下に抑えるために電極幅のばらつきを $0.15\mu\text{m}$ 程度以下に抑えなければならないことがわかる。分割露光の境界部がはっきりと視認されるのは境界の輝度変化率が3%程度以上の場合である。したがって、この場合、横方向電界方式の液晶表示装置では電極幅の分割露光の境界での差を $0.15\mu\text{m}$ 程度以下に抑える必要がある。従来のTN方式のTF-TLCDにおいても露光境界での輝度変動は問題となっており、主にTF-T等の寄生容量に起因するものとされている。これに対する対策としては、特開平4-305651号公報のように重ね合わせ精度を上げる方法の他、保持容量を増加したり、境界を分かり難くするためジグザグにしたり、ゲート電極とソース・ドレイン電極の露光境界を異なる位置にすることなどが行われている。

【0007】前記公報は、薄膜トランジスタ特性ならびに薄膜トランジスタの寄生容量を各露光領域間で揃えるために薄膜トランジスタの構成要素であるレイヤーにおいて画素部を1枚のマスクを用いて繰り返し露光を行うものである。この際に問題となっているのは位置の誤差(薄膜トランジスタを構成するゲート電極とソースドレイン電極等の重ね合わせの誤差)であり、その誤差は前記公報の[発明の詳細な説明]の欄の段落[0008]、[0009]にも示されているように $1\sim 2\mu\text{m}$ 程度である。これに対して本発明における課題は櫛形電極の幅で、この幅の分割露光間での変動を $0.15\mu\text{m}$ 以下に抑え輝度変動を低減することを目的としている。これは横方向電界方式特有の技術的課題である。

【0008】分割露光の境界部での電極幅が変動する主な原因には、マスク間の寸法差、露光装置(ステッパ)の露光量の面内分布、露光装置のシャッタースピー

ドの偏差が考えられる。本発明はこれらの影響を抑えることにより、分割露光境界部の表示ムラを抑えるものである。

【0009】第1にマスクの寸法差を低減するためには境界部の両側で異なるマスクを用いず、同じマスクを用いてパターンニングを行う。これによりマスク間の寸法差による影響がなくなり、同一マスク内の寸法差（左右または上下の辺の差）のみがマスクに起因した電極幅の変動となる。しかし、この方法を用いると画素部と端子部を分割して露光するため、露光数が一般に増加するため、スループットが悪化する。したがって画素電極、対向電極を形成するレイヤーのみにこの方法を用いてもよい。また、マスクを作製する際にドライエッチング法を用いることによりマスク内の寸法差（特に左右の辺の差、上下の辺の差）を小さくする。

【0010】第2に露光機の露光量分布の影響を抑えるにはできるだけ1回で露光する面積を小さくする。しかし、これを行うと分割して露光する数が増加しスループットが悪くなる。したがって画素電極、対向電極を形成するレイヤーのみ露光面積を小さくする。

【0011】また、画素電極と対向電極を異なるレイヤーにて形成する際には分割露光の境界をこれらのレイヤーで異なる位置にする。

【0012】また、画素電極と対向電極を形成するレイヤーをミラープロジェクション方式にて形成し、薄膜トランジスタを形成するレイヤーはステッパー方式にて形成する。

【0013】また、画素電極と対向電極を形成するレイヤーを形成するためのホトレジストを厚く塗布し、露光時間を長くする。

【0014】また、画素電極と対向電極を形成するレイヤーで、露光に用いるマスクに位相シフトマスクを用いる。

【0015】また、画素電極と対向電極を形成するレイヤーで、露光に用いるマスクに面内公差 $\pm 0.1\mu\text{m}$ 以下の他のレイヤーと比較し高精度のマスクを用いる。

【0016】

【発明の実施の形態】実施の形態1

以下、本発明の一実施の形態である薄膜トランジスタ集積装置基板及びこれを搭載した液晶表示装置の製造方法について説明する。まず、走査線1をAl、Cr、MoもしくはW、またはこれらを主成分とする合金またはこれらの積層膜で形成する。この際、走査線1と対向電極5を同時に形成する。このとき、液晶表示装置の信頼性を確保するために、写真製版工程における露光にはステッパー方式を用いる。その際、マスク間の寸法差による電極幅のばらつきを発生を防ぐために一枚のマスクを用いて繰り返して画素部7の露光を行い、端子部8は他のマスクから露光を行う。図1、図2はこの露光方式を図示したものである。図1は薄膜トランジスタ集積装置基

板上の露光する位置を示したもので、図2はそれぞれの露光する部分のマスク21、22上の位置を模式的に示したものである。図1で示した画素部は図2のAで示した部分を例えば4回繰り返して露光する。端子部分は図2のそれぞれB～Iで示した部分を図1に示した部分B～Iに露光する。ゲート絶縁膜を全面に形成した後、アモルファスシリコン12と不純物を含んだアモルファスシリコン13を同時に形成する。アモルファスシリコン12と不純物をドーパしたアモルファスシリコン13を形成する際には、図1、2で示した方法により露光しても良いが、端子部を含めた1パネルを2つ以上、たとえば図3に示す様に全体を4つの部分に分割して、それぞれのパターンを異なるマスクを用いて露光すると良い。図1、2で示した方法では16回の露光が必要であるが、図3の様に露光すると4回の露光で済むためスループットの大幅な低下を防ぐことができる。次に、信号線2と画素電極6を薄膜トランジスタのソース・ドレイン電極と同時にAl、Cr、MoもしくはW、またはこれらを主成分とする合金またはこれらの積層膜で、図1、2で示した露光方法を用い形成する。さらに窒化シリコンまたは酸化シリコンからなる保護膜を全面に形成した後、端子上の保護膜を取り除き薄膜トランジスタ集積装置基板を作製する。この薄膜トランジスタ集積装置基板の画素部に液晶をはさんで対向基板を貼り合わせ、端子部8に走査線、信号線に画像信号を送り込むための回路を取り付け、さらに薄膜トランジスタ集積装置基板の背面にバックライトを取り付けて液晶表示装置を作製する。

【0017】実施の形態2

実施の形態1では、走査線1と同時に形成する対向電極5と、信号線2と同時に形成する画素電極6を図1、2の方法を用いて露光したが、画素部でこれらの境界が異なる位置となるように露光しても良い。例えば、走査線1と対向電極5は図1、2の方法で露光し、信号線2と画素電極6は、画素部をさらに小さく区切った図4、図5に示すマスク23、24の様に露光する。これにより、画素電極6と対向電極5で電極幅が変化する位置を異なる位置にすることができ、露光境界でのムラが見えにくくなる。また、画素電極6の露光時は、露光装置の露光エリアの露光に使用する部分が小さいため、露光装置の露光エネルギー分布を小さくでき、これによる電極幅の変動を小さくすることができる。

【0018】実施の形態3

実施の形態1、2では対向電極5と画素電極6を異なるレイヤーで形成する場合を示したが、同じレイヤーに形成しても良い。一画素の平面図の例を図6に示す。コンタクトホール15を介し、画素電極6、対向電極5をそれぞれソース・ドレイン電極14と共通配線3に接続している。以下、製造方法の例を図11の工程断面図に従って説明する。まず、走査線1をAl、Cr、Moもし

くはW、またはこれらを主成分とする合金またはこれらの積層膜で形成する（図7（a））。次に、ゲート絶縁膜を全面に形成した後、アモルファスシリコン12と不純物をドーブしたアモルファスシリコン13を形成する（図7（b））。さらに信号線2を薄膜トランジスタのソース・ドレイン電極14と同時にAl、Cr、MoもしくはW、またはこれらを主成分とする合金またはこれらの積層膜で形成する。その後、このソース・ドレイン電極14をマスクとして不純物をドーブしたアモルファスシリコン13をドライエッチングなどにより除去する（図7（c））。さらに窒化シリコンまたは酸化シリコンからなる保護膜を全面に形成した後、画素内のコンタクトホールと端子上の保護膜とを除去する（図8（a））。以上の工程においては、ステッパー方式を用い、例えば、図3に示した方法により露光を行う。次に、画素電極6と対向電極5を同時にAl、Cr、MoもしくはW、またはこれらを主成分とする合金またはこれらの積層膜で形成する（図8（b））。このときの露光方法には図1、2で示した方法を用い、分割露光の継ぎ目での電極幅の変動を小さくする。この薄膜トランジスタ集積装置基板の画素部に液晶をはさんで対向基板を貼り合わせ、端子部8に走査線、信号線に画像信号を送り込むための回路を取り付け、バックライトを取り付けて液晶表示装置を作製する。これにより、電極幅の精度を高く形成する必要があるレイヤーを1レイヤーにすることができる。

#### 【0019】実施の形態4

実施の形態3では画素電極6と対向電極5の形成の際に図1および2で示した方式を用いて露光したが、ミラープロジェクション方式を用いて一括露光しても良い。すなわち、走査線1、アモルファスシリコン4、信号線2、コンタクトホールはステッパー方式を用いて形成し、画素電極6と対向電極5をミラープロジェクション方式にて露光する。これにより薄膜トランジスタ特性や容量が面内でばらつくことなく信頼性の高い液晶表示装置を製造できるが、画素電極、対向電極を形成するレイヤーは分割露光を行わないため、分割露光の境界が視認されない良好な表示を得ることができる。

#### 【0020】実施の形態5

実施の形態1～3において、画素電極6または対向電極5を形成する際のホトレジストの厚さを厚くすることにより、露光時間が長くなり、露光装置のシャッタースピードのばらつきによる電極幅への影響を小さくすることができる。他のレイヤーにこの方法を用いると、ホトレジストの材料代が高くなったり、露光時間の延長によるスループットの低下等の影響があるため、画素電極6または対向電極5またはその両方を形成するホストレジストのみを厚くする。

#### 【0021】実施の形態6

実施の形態1～3において、画素電極6または対向電極

5を形成する際のホトレジストに露光エネルギーの変動に対してホトレジスト線幅の変動が小さいホトレジストを使用することにより、露光装置のエネルギー分布やシャッタースピードのばらつきによる電極幅への影響を小さくすることができる。一般に、露光エネルギー変動に対してホトレジスト線幅の変動が小さいホトレジスト材料は高価であるため、画素電極6または対向電極5またはその両方を形成するホトレジストのみにこのホトレジストを使用してコストの増加を防ぐ。

#### 【0022】実施の形態7

実施の形態1～3において、画素電極6または対向電極5を形成する際のマスクに位相シフトマスクを使用することにより、露光装置の露光エネルギー分布やシャッタースピードのばらつきによる電極幅への影響を小さくすることができる。位相シフトマスクはクロムマスクに位相シフトを加えて転写パターンの高解像度、高密度化をはかろうとするものである。位相シフトマスクは一般に高価であり、またスリット形状以外の場合には作製が難しいため、画素電極6または対向電極5またはその両方を形成するマスクにのみこのマスクを用いるとよい。

#### 【0023】実施の形態8

実施の形態1～3において、画素電極6または対向電極5を形成する際のマスクの面内寸法公差を小さくすることにより、マスク上の寸法の面内公差による電極幅への影響を小さくすることができる。一般に、液晶表示装置の製造に用いられているマスクの寸法公差は $\pm 0.2 \sim 0.5 \mu\text{m}$ レベルであるが、先に述べたとおり、横方向電界方式の液晶表示装置では、電極幅の変動を $0.15 \mu\text{m}$ 程度以内に抑える必要がある。従って、画素電極6または対向電極5を形成する際のマスクの面内寸法公差は少なくとも $\pm 0.1 \mu\text{m}$ 以内に抑える必要がある。しかし、高精度に作製したマスクは高価であるため、画素電極6または対向電極5またはその両方を形成するマスクにのみこのマスクを用いるとよい。また、一般にこれらのマスクはウェットエッチング法によりクロムと酸化クロムを加工しているが、ドライエッチング法を用いて加工することによりマスクの面内寸法公差を小さくすることができる。

#### 【0024】

【発明の効果】以上のように、この発明によれば、横方向電界方式を用いた視野角の広い液晶表示装置を、ステッパー方式を用いて信頼性を保つと共に、分割露光の境界で発生するムラを低減し作製することができる。また、実施の形態4の方法によれば、電極幅が分割露光の境界で変化することがなく、分割露光境界での輝度ムラがほとんどない液晶表示装置を実現することができる。

【0025】本発明の請求項1記載の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法

において、画素部を露光する際に1枚のマスクから繰り返し露光してパターンニングする液晶表示装置の製造方法であるので、一枚のマスクを用いて繰り返し露光するので、電極幅のばらつきが発生しないという効果を奏する。

【0026】本発明の請求項2記載の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも1レイヤーの画素部を露光する際の1回の露光領域を他のレイヤーよりも小さくする液晶表示装置の製造方法であるので、露光境界でのムラが見えにくくなるという効果を奏する。

【0027】本発明の請求項3記載の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも1レイヤーの画素部を露光する際には1枚のマスクを繰り返し露光してパターンニングを行い、他のレイヤーは端子部を含めた1パネルを2つ以上に分割したマスクを用い露光しパターンニングする液晶表示装置の製造方法であるので、スループットの大幅な低下を防ぐことができるという効果を奏する。

【0028】本発明の請求項4記載の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極の露光領域のつなぎ部分と、対向電極の露光領域のつなぎ部分とを異なる位置に形成する液晶表示装置の製造方法であるので、露光境界でのムラが見えにくくなるという効果を奏する。

【0029】本発明の請求項5記載の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極または対向電極あるいはその両方を形成するレイヤーを1枚の大型レチクルを使用してミラープロジェクション方式により形成し、その他のレイヤーの内少なくとも1レイヤーをステッパー方式による分割露光により形成する液晶表示装置の製造方法であるので、薄膜トランジスタ特性や容量が面内でばらつくことがないという効果を奏する。

【0030】本発明の請求項6記載の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも1レイヤーを形成する際のホトレジストを他

のレイヤーを形成する場合よりも厚く形成する液晶表示装置の製造方法であるので、露光装置のシャッタースピードのばらつきによる電極幅への影響を小さくすることができるという効果を奏する。

【0031】本発明の請求項7記載の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも1レイヤーを形成する際のホトレジストに露光エネルギー変動に対してホトレジスト線幅の変動が小さいホトレジストを使用する液晶表示装置の製造方法であるので、露光装置のエネルギー分布やシャッタースピードのばらつきによる電極幅への影響を小さくすることができるという効果を奏する。

【0032】本発明の請求項8記載の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも1レイヤーを形成する際のマスクに位相シフトマスクを用いる液晶表示装置の製造方法であるので、電極幅を小さくすることができるとともに露光装置の露光エネルギー分布やシャッタースピードのばらつきによる電極幅への影響を小さくすることができるという効果を奏する。

【0033】本発明の請求項9記載の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置の製造方法において、画素電極と対向電極を形成するレイヤーの内少なくとも1レイヤーを形成する際のマスクを面内寸法公差の小さなマスクを使用する液晶表示装置の製造方法であるので、電極幅の変動を抑えることができるという効果を奏する。

【0034】本発明の請求項10記載の液晶表示装置の製造方法は、前記面内寸法公差が $\pm 0.1 \mu\text{m}$ 以内である請求項9記載の液晶表示装置の製造方法であるので電極幅の変動を $0.15 \mu\text{m}$ 程度に抑えることができるという効果を奏する。

【0035】本発明の請求項11記載の液晶表示装置の製造方法は、上記マスクをクロムと酸化クロムをドライエッチングにより加工し形成する請求項10記載の液晶表示装置の製造方法であるので、マスクの面内寸法公差を小さくすることができるという効果を奏する。

【0036】本発明の請求項12記載の液晶表示装置の製造方法は、画素電極に対向する対向電極を有し、該画素電極および該対向電極の間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置において、画素電極幅と対向電極幅の分割露光の境界間での寸



法差を最大 $0.15\mu\text{m}$ 以下とした液晶表示装置であるので、横方向電界方式を用いた視野角の広い液晶表示装置を、ステッパ方式を用いて信頼性を保つと共に、分割露光の境界で発生するムラを低減し作製することができるという効果を奏する。

【0037】本発明の請求項13記載の液晶表示装置の製造方法は、請求項1～9のいずれか1項記載の製造方法のうち、何れか1つ又は複数の方法を組み合わせ、画素電極幅と対向電極幅の分割露光の境界間での寸法差を最大 $0.15\mu\text{m}$ 以下とした、画素電極に対向する対向電極を有しこれらの間に基板面に対して水平方向の電界を印加して液晶を駆動する液晶表示装置であるので、横方向電界方式を用いた視野角の広い液晶表示装置を、ステッパ方式を用いて信頼性を保つと共に、分割露光の境界で発生するムラを低減し作製することができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】 本発明による実施の形態1による薄膜トランジスタ集積装置基板の分割露光の方法の例を示す図である。

【図2】 本発明による実施の形態1による薄膜トランジスタ集積装置基板を作製する際に用いるマスク上のレイアウトの例を示す図である。

【図3】 従来、または本発明による画素電極及び対向電極以外を形成する際の薄膜トランジスタ集積装置基板の分割露光の方法の例を示す図である。

【図4】 本発明による実施の形態2による薄膜トランジスタ集積装置基板の分割露光の方法の例を示す図であ

る。

【図5】 本発明による実施の形態2による薄膜トランジスタ集積装置基板を作製する際に用いるマスク上のレイアウトの例を示す図である。

【図6】 本発明による実施の形態3による薄膜トランジスタ集積装置の一面素の平面図である。

【図7】 本発明による実施の形態3による薄膜トランジスタ集積装置の製造工程を示す断面図である。

【図8】 本発明による実施の形態3による薄膜トランジスタ集積装置の製造工程を示す断面図である。

【図9】 従来及び本発明による実施の形態1または2による薄膜トランジスタ集積装置の一面素の平面図である。

【図10】 従来からのトランジスタ集積装置基板の画素部と端子部を示したものである。

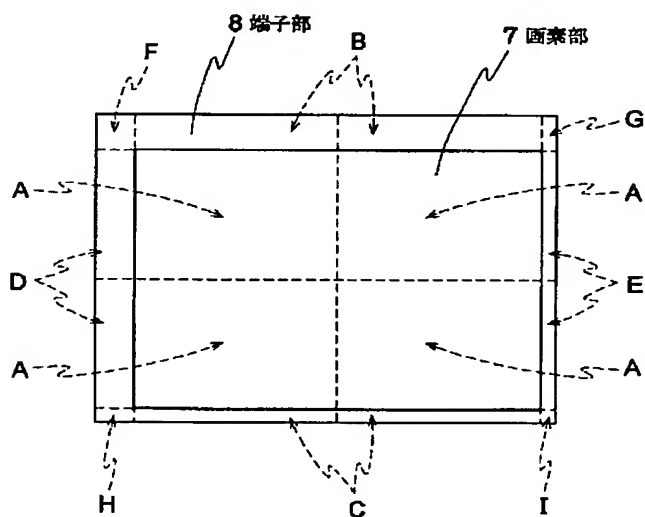
【図11】 従来及び本発明による実施の形態1または2による薄膜トランジスタ集積装置の製造工程を示す断面図である。

【図12】 横方向電界方式液晶表示装置における電極幅のばらつきと輝度変化率の関係を示す図である。

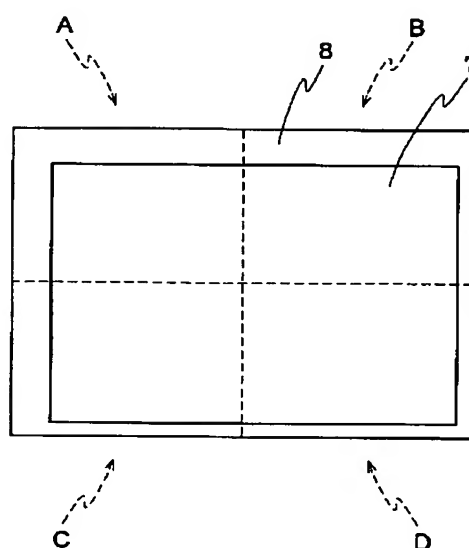
#### 【符号の説明】

1 走査線、2 信号線、3 共通配線、4 薄膜トランジスタ、5 対向電極、6 画素電極、7 画素部、8 端子部、9 保護膜、10 ガラス基板、11 ゲート絶縁膜、12 アモルファスシリコン、13 不純物をドーブしたアモルファスシリコン、14 ソース・ドレイン領域、15 コンタクトホール、21、22、23、24 マスク。

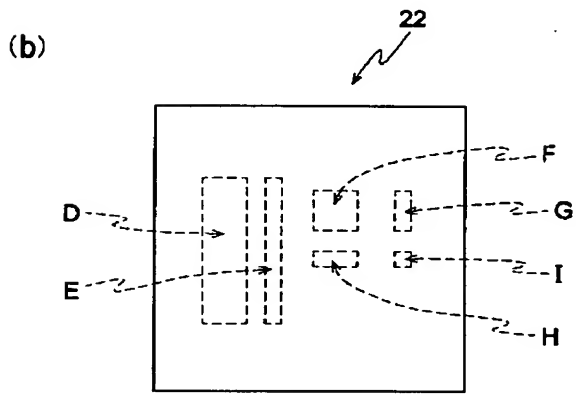
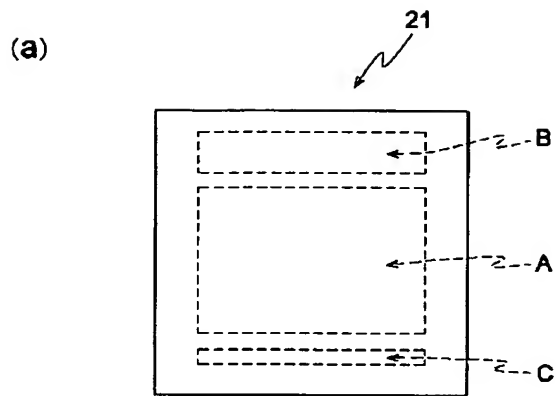
【図1】



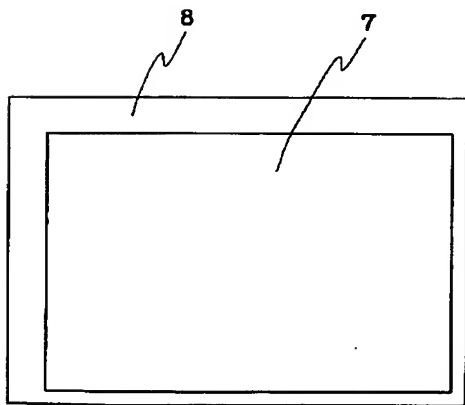
【図3】



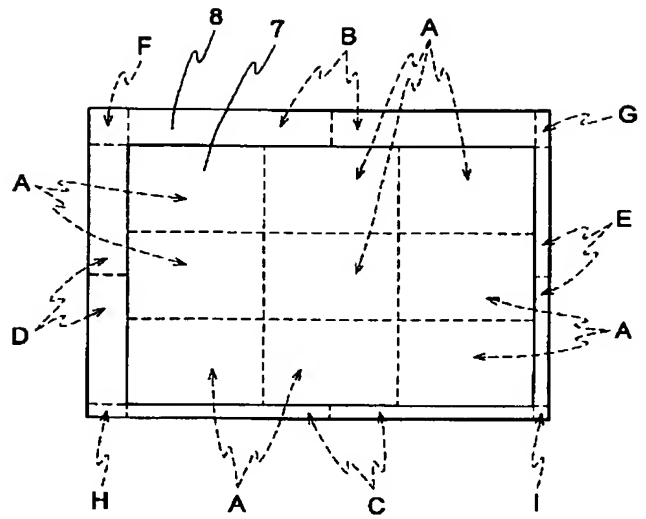
【図2】



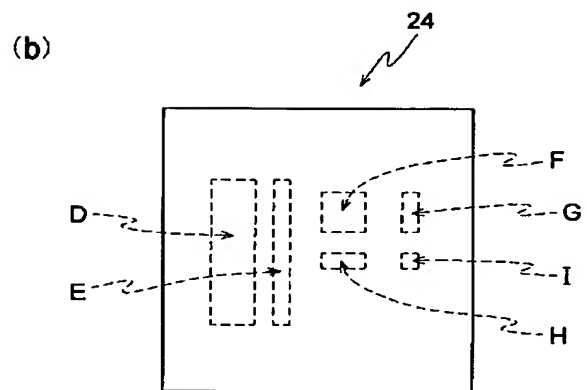
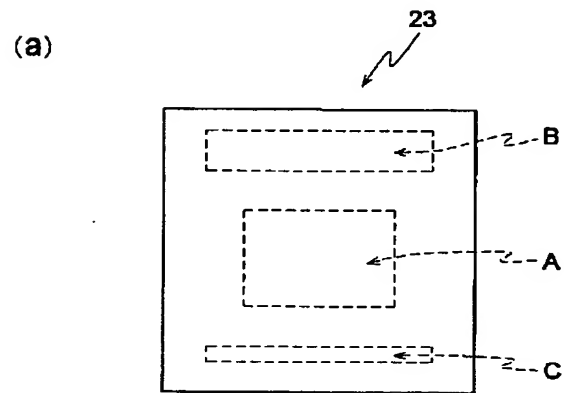
【図10】



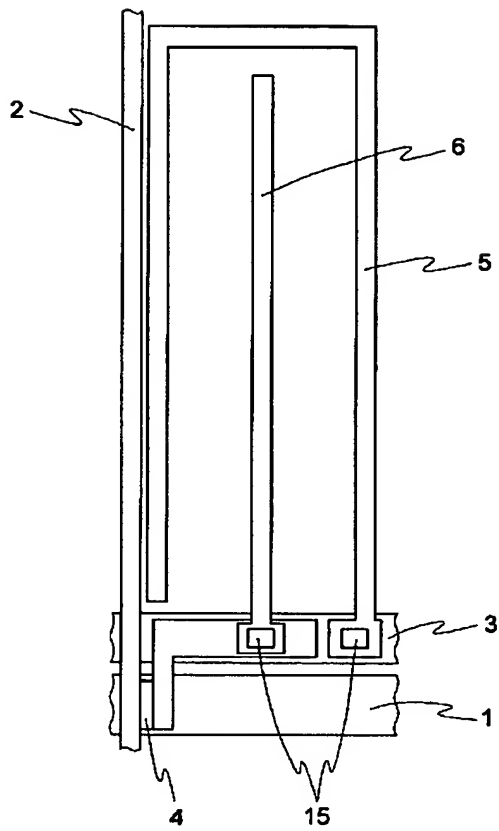
【図4】



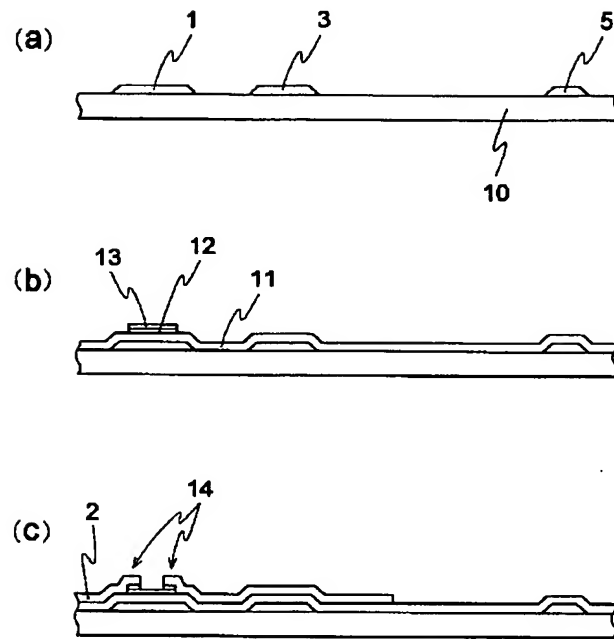
【図5】



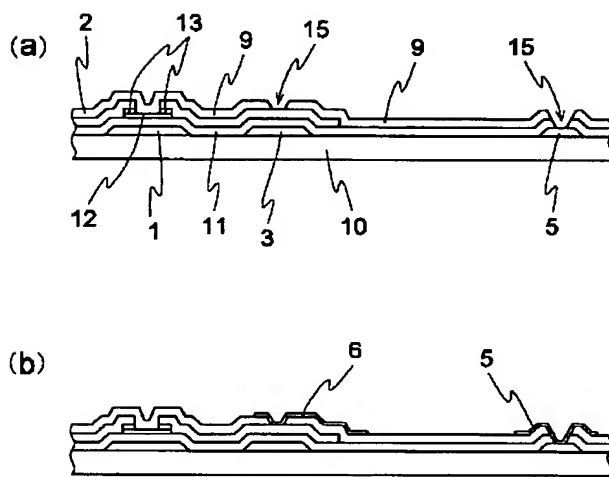
【図6】



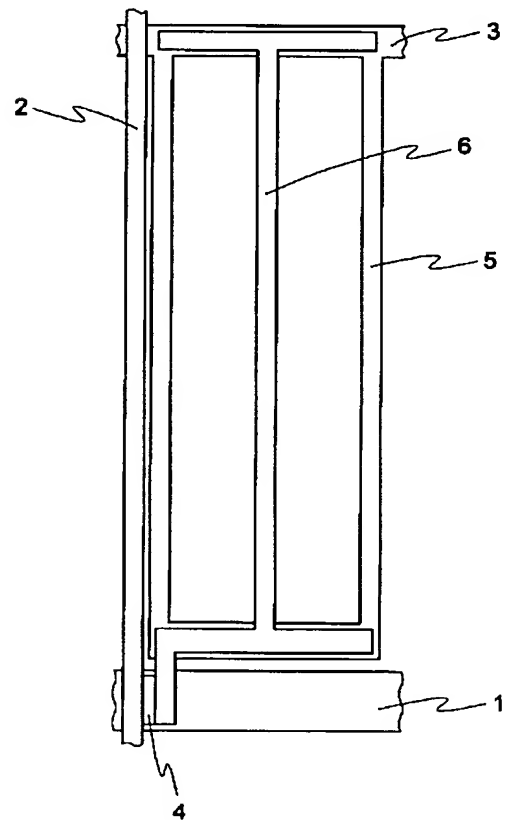
【図7】



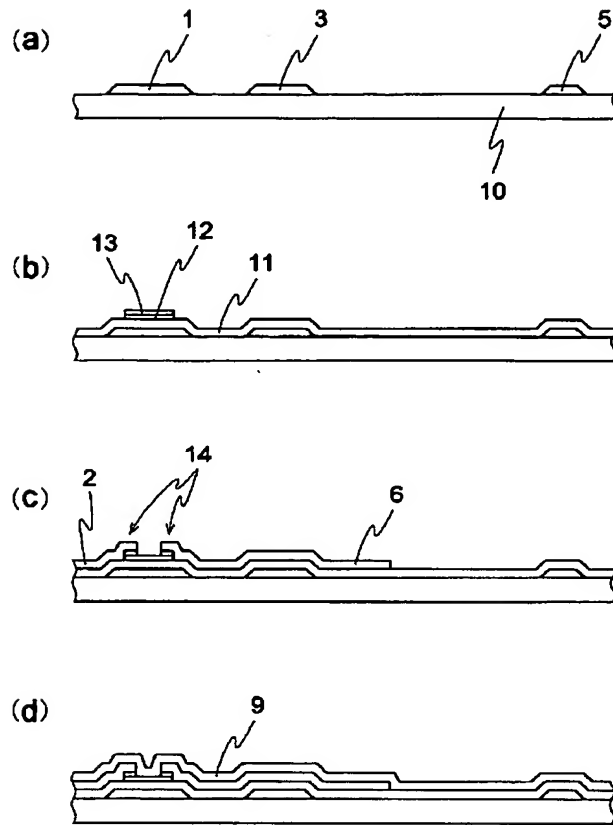
【図8】



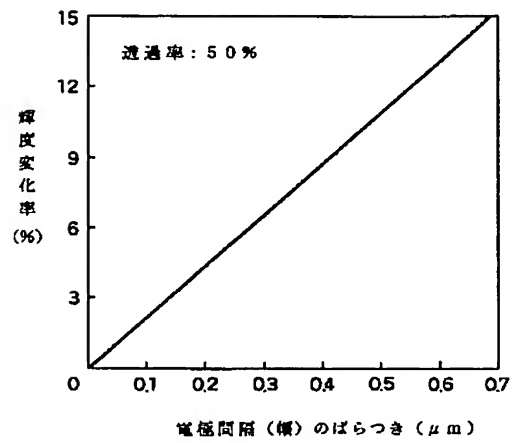
【図9】



【図 1 1】



【図 1 2】



フロントページの続き

Fターム(参考) 2H092 GA14 JA26 JA29 JA33 JA35  
 JA38 JA39 JA42 JA43 JA44  
 JA47 JB13 JB23 JB27 JB32  
 JB36 JB38 JB54 JB57 JB58  
 JB63 JB69 KA05 KA07 KA12  
 KA16 KA18 KA22 KA24 KB05  
 KB14 KB23 KB24 MA05 MA08  
 MA14 MA15 MA16 MA18 MA19  
 MA20 MA23 MA27 MA31 MA34  
 MA35 MA37 MA41 NA02 NA24  
 NA25 NA27 NA29 PA02 PA06  
 PA08 QA06 QA18

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**